

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月20日

出 願 番 号

Application Number:

特願2002-239321

[ST.10/C]:

[JP2002-239321]

出 願 人

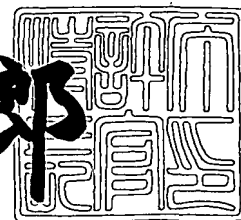
Applicant(s):

インターナショナル・ビジネス・マシーンズ・コーポレーション

2003年 3月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3020457

【書類名】 特許願

【整理番号】 JP9020137

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ビー・エム株式会社 野洲事業所内

【氏名】 砂永 登志男

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名】 渡辺 晋平

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名】 森 昌也

【特許出願人】

【識別番号】 390009531

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】 100086243

【弁理士】

【氏名又は名称】 坂口 博

【連絡先】 0 4 6 - 2 1 5 - 3 3 1 8、3 3 2 5、3 4 5 5

【選任した代理人】

【識別番号】 100091568

【弁理士】

【氏名又は名称】 市位 嘉宏

【選任した代理人】

【識別番号】 100108501

【弁理士】

【氏名又は名称】 上野 剛史

【手数料の表示】

【予納台帳番号】 024154

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0207860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 タイミング回路、クロック周期の可変方法

【特許請求の範囲】

【請求項 1】 クロック発生器と、

入力される制御電圧と基準電圧を比較するコンパレータと、

前記コンパレータの出力を保持する保持回路と、

前記保持回路の出力と前記クロック発生器が出力するクロックから出力となる
タイミング・パルスを生成する回路と、を含むタイミング回路。

【請求項 2】 前記コンパレータは、前記クロック発生器が出力する第一クロックを受け取り、その第一クロックの短いパルス幅に相当する時間だけ動作する、
請求項 1 記載のタイミング回路。

【請求項 3】 前記タイミング・パルスを生成する回路は、

前記保持回路の出力と前記クロック発生器が出力する前記第一クロックを受けるカウンタと、

前記カウンタの出力と前記クロック発生器が出力する第二クロックを受ける論理回路と、を含む請求項 1 記載のタイミング回路。

【請求項 4】 さらに、前記保持回路の出力を受けて、前記カウンタへリセット信号を送るための回路を含む請求項 3 記載のタイミング回路。

【請求項 5】 前記コンパレータは、

第一の基準電圧と前記制御電圧を受ける第一コンパレータと、

第二の基準電圧と前記制御電圧を受ける第二コンパレータと、

を含む請求項 1 記載のタイミング回路。

【請求項 6】 前記保持回路は、

前記第一コンパレータの出力を受ける第一ラッチ回路と、

前記第二コンパレータの出力を受ける第二ラッチ回路と、

を含む請求項 5 記載のタイミング回路。

【請求項 7】 前記論理回路は、AND 回路を含む請求項 3 記載のタイミング回路。

【請求項 8】 温度に応じて可変するクロックを生成するためのタイミング回路

であって、前記温度の検出を予め決められたサンプリング周期でおこなうことができる検出回路を含み、前記検出回路は、前記サンプリング周期で変位するクロックの短いパルス幅に相当する時間だけ動作して温度検出をおこなうことを特徴とする、タイミング回路。

【請求項 9】 温度に応じて DRAM のリフレッシュ周期を制御するためのタイミング回路であって、前記温度の検出を予め決められたサンプリング周期でおこなうことができる検出回路を含み、前記検出回路は、前記サンプリング周期で変位するクロックの短いパルス幅に相当する時間だけ動作して温度検出をおこなうことを特徴とする、タイミング回路。

【請求項 10】 前記サンプリング周期は、DRAM の最大動作温度におけるリフレッシュ周期 T に対して、 $T \times n$ (n : 任意の自然数) で定まる周期であることを特徴とする、請求項 9 記載のタイミング回路。

【請求項 11】 クロックの周期を可変するための方法であって、

- (a) 基本クロックを準備するステップと、
 - (b) 温度を予め決められたサンプリング周期で検出するステップと、
 - (c) 前記検出された温度に応じて前記基本クロックの周期を変えるステップと、
- を含む方法。

【請求項 12】 前記 (b) 温度を検出するステップは、

前記サンプリング周期で変位するクロックの短いパルス幅に相当する時間だけ温度検出をするステップを含む、請求項 11 の方法。

【請求項 13】 前記 (c) 基本クロックの周期を変えるステップは、

前記検出された温度の低下に応じて前記基本クロックから間引かれるパルスを増やすことにより、周期の長いクロックを生成するステップを含む、請求項 11 の方法。

【請求項 14】 前記サンプリング周期は、前記基本クロックの周期 T に対して、 $T \times n$ (n : 任意の自然数) で定まる周期であり、前記自然数 n は温度の変化速度が遅い場合は大きい値に設定され、温度の変化速度が早い場合は小さい値に設定されることを特徴とする、請求項 11 の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、一般的には、入力される信号（制御電圧）に応じてクロックの周期を可変することができるタイミング回路（制御方法）に関し、より詳細には、温度に応じてDRAMのリフレッシュ周期を制御するためのタイミング回路（方法）に関する。

【0002】

【従来の技術】

DRAMではデータをセルのキャパシタに電荷としてチャージしているため、時間とともにそのデータ（電荷）は漏れ電流として失われてしまう。そのため、定期的にセルのデータ（電荷）を再書き込み（チャージ）するリフレッシュ動作が必要となる。

【0003】

一般に温度が高い程DRAMセルのデータが失われる速さは早くなる。したがって、リフレッシュ動作の周期としては、通常そのDRAMを含むチップの最大動作温度でも十分にデータが保持されるように短い周期が選択される。そのため、実際のチップの動作温度に関係なく、その選択された短い周期で常にリフレッシュが行われるので、リフレッシュに伴う消費電力が大きくなる。

【0004】

例えば、DRAMのデータの保持特性は一般に、チップ温度が10℃下がる毎にそのデータ保持（リテンション）時間は約2倍になる。つまり、通常スペックで設定される最大動作温度70℃で15.6マイクロ秒毎のリフレッシュは、20℃の低温では32倍（2の5乗倍）の約500マイクロ秒毎で良い事になる。従って、多くの場合データ保持モードでは低温であるにもかかわらず、実際に必要な周期（頻度）よりも10倍以上の頻度でリフレッシュを行っており、10倍以上無駄な電力を消費している。したがって、常温あるいは比較的低い温度下でのリフレッシュに伴う無駄な電力消費を軽減する必要がある。

【0005】

このリフレッシュに伴う無駄な電力消費を軽減するための方法として、DRAMを有するチップの温度に応じたリフレッシュ周期を得ることが挙げられる。図1は従来のチップ温度をモニターし、そのモニター温度に応じたDRAMのリフレッシュ周期を得るための回路例を示した図である。図1(A)は回路のブロック図である。中央に多段のインバーターからなるリング・オシレーター1があり、この発振周期をバッファーしてその出力(TDT)2を温度依存タイマーとしてリフレッシュの周期を決める手段に使う。図1(A)では、バンドギャップ等の温度に依存しない一定基準電圧 V_R とMOSトランジスタのスレッシホールド電圧 V_t 等の温度依存性を有する電圧との差をオペアンプ3が比較し増幅し、リングオシレーター1の周期を変える方式である。図1(B)、(C)にリングオシレーター1の周期を変えるための構成例を示す。(B)はインバーターの供給電流を制御する方式、(C)は各インバーターの負荷のRC定数を変化させる方式である。これらの方式では、温度が下がって来たら自動的にリフレッシュを行う周期が長くなり、リフレッシュ電流を下げる事が出来る。

【0006】

図1に示した従来の回路例では、オペアンプ3に電流ミラーの様なアナログ回路が必要で、数十マイクロA程度のDC電流が流れる。通常、温度を常にモニターしているため、そのDC電流が常時流れてしまう。その結果、たとえリフレッシュ電流自体を下げる事が出来ても、図1の回路動作に伴う消費電流の増加により、DRAMのデータ保持モードでの全電流が低下せず、逆に増加してしまう恐れもある。すなわち、せっかくリフレッシュ電流を低減しても、温度をモニターする回路自体が大きな電流を消費してしまうと、DRAMのデータ保持モードでの全電流が低下しないことになってしまうという問題がある。この問題は、DRAMのデータ保持モードでの全電流が電池駆動の機器等では特に大きな問題となる。

【0007】

また、図1のオペアンプ3の出力電圧範囲でコントロール出来る周期の範囲は限られている。すなわち、低温では高温での最小周期の数倍の長い周期が必要とされるが、図1の回路ではそのような広い範囲での周期の可変は困難であり、低

温でのリフレッシュ電流の理想的な低減が出来ない。

【0008】

【発明が解決しようとする課題】

本発明は上記した従来技術の問題点を解消するためになされたものであり、その目的は、低消費電力でクロック周期を可変することができるタイミング回路を提供することである。

【0009】

さらに、本発明の目的は、温度モニター回路の低電流化を図ると共に、温度に応じてリフレッシュ周期を可変（延長）してリフレッシュ電流の軽減を図ることにより、トータルなDRAMのデータ保持電流を低減するための手段および方法を提供することである。

【0010】

【課題を解決するための手段】

本発明によれば、温度に応じて可変するクロックを生成するためのタイミング回路（10）であって、温度の検出を予め決められたサンプリング周期でおこなうことができる検出回路を含み、その検出回路は、サンプリング周期で変位するクロック（SS）の短いパルス幅に相当する時間だけ動作して温度検出をおこなうという特徴を有するタイミング回路が提供される。

【0011】

本発明によれば、より具体的には、クロック発生器（11）と、入力される制御電圧（TDV）と基準電圧（VR1、2）を比較するコンパレータ（12、13）と、コンパレータの出力を保持する保持回路（18、19）と、保持回路の出力とクロック発生器が出力するクロックから出力となるタイミング・パルスを生成する回路（19、20、21）を含むタイミング回路（10）が提供される。

【0012】

また、本発明によれば、クロックの周期を可変するための方法であって、（a）基本クロックを準備するステップと、（b）温度を予め決められたサンプリング周期で検出するステップと、（c）前記検出された温度に応じて前記基本クロ

ックの周期を変えるステップを含む方法が提供される。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態について、チップの温度モニターを例にとり説明するが、本発明はこれに限られるものではなく、圧力等の物理量をモニターしその変化量を電圧値（制御電圧）として入手できるものであればあらゆるものに適用可能である。また、本発明によって得られるタイミング・パルスはDRAMのリフレッシュ周期のみならず、変化する物理量に応じてタイミングを可変したいあらゆる用途（装置等）に適用可能であることは言うまでもない。

【0014】

具体的な説明に入る前に、本発明を案出する一つの起点となったDRAMなどを含むICチップの温度の変化についての知見を述べる。チップの温度をモニターして、リフレッシュ周期を変える事を考える上で、重要となるは温度の変化の速度である。この点、チップ温度の変化は比較的遅い。温度が上がっていく場合、熱源はチップそのものの消費電流、周辺の発熱する部品および周辺雰囲気温度等であり、これとチップのパッケージを含んだ熱容量で上昇速度が決まるので、それほど急には温度は上がらない。例えば、20℃位から最大動作温度である、70℃まで上昇するのに数十秒から数分かかるのが一般的である。この事は、温度上昇が遅ければ、温度モニターは何も常時している必要が無く、上昇速度に比べて十分に短い時間間隔でサンプリング的にモニターすれば、その時々での温度がその前後のかなりの時間の温度を代表することを意味する。温度が下がる時にも同様に変化速度は遅い。

【0015】

DRAMには通常15.6マイクロ秒毎に来るリフレッシュ用にタイマー（タイミング）がある。この15.6マイクロ秒はDRAMの最大動作温度におけるリフレッシュ周期を想定して規定される時間である。このタイマーの周期あるいはそのn倍（n：任意の自然数、例えばn=2～4）の周期でモニターしても秒オーダー以上の温度変化速度に比べて十分に短い事から、このタイマーをサンプリングのトリガーに使うことができる。本発明ではこの知見を利用し、電流を消

費する温度モニター回路を、常時動作させるのではなく、例えば1マイクロ秒以下位の短い時間（パルス幅）だけ動作させ、その結果に基づいてリフレッシュ周期を変化させる事により制御回路の電流増加を抑えて、比較的低い温度でのデータ保持電流を低減を行う。

【0016】

図2は本発明のタイミング回路の一実施例を示す図である。図3は図2のタイミング回路のタイミングチャートを示す図である。図2では、例えば15.6マイクロ秒等の一定の周期のベース・タイマー（発振器、図示なし）からの発振出力BTを想定している。ベース・タイマーの発振出力BTは遅延&シングル・ショット回路11に入る。遅延&シングル・ショット回路11は、発振出力BTの立ち上がり端でシングル・ショット・パルスSSを生成し、また、発振出力BTをシングル・ショット・パルスSSのパルス幅の時間だけ遅らせた遅延タイマー出力DTを生成する（図3参照）。ショット・パルスSSのパルス幅としては数マイクロ秒以下（例えば1マイクロ秒）であればよい。なお、ベース・タイマーから出力される発振出力BTの周期は15.6マイクロ秒に限られず、例えば15.6マイクロ秒のn倍（n：自然数）等の任意の周期が想定可能である。また、遅延&シングル・ショット回路11にその15.6マイクロ秒のn倍（n：自然数）等の任意の周期を生成する機能を持たせてもよい。

【0017】

図2のCM1、CM2（符合12、13）はカレント・ミラー等のアナログ比較回路（コンパレータ）である。コンパレータ12、13はトランジスタの閾値電圧 V_t 等の温度依存するモニター電圧TDVと、バンドギャップ電圧等の温度依存しない基準電圧VR1、VR2との比較を行う。ここで、 $VR1 > VR2$ とし、また V_t の様に温度が下がるに従ってTDVは下がるものとする。さらに、70℃の様な高温ではコンパレータ12、13の出力はハイで、 $VR1 > TDV$ でコンパレータ12（CM1）の出力はLOWに、 $VR2 > TDV$ でコンパレータ13（CM2）の出力がLOWになるとする。また、コンパレータ12、13の出力段はバッファ回路からなり、CMOSのフルスイング電位を出力する。

【0018】

コンパレータ12、13はNMOS14、15を介してグランド(GND)に接続する。また、コンパレータ12、13の出力はNMOS16、17を介してラッチ18、19に接続する。NMOS14~17のゲートは全て遅延&シングル・ショット回路11のシングル・ショット・パルス(SS)出力に接続する。したがって、アナログ比較回路12、13が動作するのはシングル・ショット・パルスSSが来た時のみで、それ以外の長い時間はGND側のNMOS14、15がOFFでスタンバイ電流は流れない。その結果、無駄な消費電流を軽減できる。

【0019】

ラッチ18、19は、コンパレータ12、13の比較結果出力を保持する。ラッチ18、19の出力はカウンタ20に入力する。ラッチ18、19の出力(反転データ)は、カウンタ20のC1、C2に入力し保持される。そして、カウンタ20に入力するシングル・ショット・パルスSS毎に更新される。カウンタ20は、C10、C20の2ビットからなるカウンターで、その入力パルスSSがハイになるエッジでカウントアップされ、出力C10がLSBでC20がMSBとなる。カウンタ20の出力C10、C20はAND回路21に接続する。AND回路21には遅延&シングル・ショット回路11の遅延タイマー出力DTも入力される。図2では、さらにリセット回路22がラッチ18、19とカウンタ20の間にある。

【0020】

図2の回路の動作を図3のタイミング・チャートを用いて説明する。図3はチップの温度が70℃の様な高温(最大使用温度)にあるとし、そこから時間とともに温度が下がって行く場合のタイミング例である。言い換えれば、温度の低下とともに周期が長くなっていく場合のタイミング例である。始めに時刻T1-T2間は高温であるため、ラッチ18、19の出力C1、C2はともにLOWで、AND回路出力TDTは、ベース・タイマの発振出力BTをシングル・ショットSSのパルス幅だけ遅らせた信号(DT)と同じ15.6マイクロ秒の周期で発生する。

【0021】

温度が下がり、時刻 T 3 で S S パルスのタイミングでコンパレータ 1 2 が $VR1 > TDT$ をセンスすると、コンパレータ 1 2 の出力が LOW になり、ラッチ 1 8 の出力 C 1 として HIGH がラッチされる。C 1 の LOW から HIGH への変化で、リセット回路 2 2 の出力 RS に HIGH のパルスが出て、カウンタ出力 C 1 0、C 2 0 をともに HIGH にリセットする。図 3 では、T 3 で C 1 0 C 2 0 は変化していない様に見えるが、これはその前からどちらも HIGH であったのが、HIGH にリセットされたからである。ここでカウンタ出力 C 1 0、C 2 0 は " 1 1 " になり、次の S S の来る T 4 で LSB である C 1 0 が LOW になる。このため、T 4 では AND 回路 2 1 の出力 TDT として DT のパルスは出力されない。次の T 5 の S S で C 1 0 がカウント・アップされ HIGH になるが、この時、温度は $VR1 > TDV > VR2$ の範囲にあるので、コンパレータ 1 3 の出力が LOW のままであるため、ラッチ 1 9 の出力 C 2 0 は HIGH である。従って、T 5 で AND 回路 2 1 の出力 TDT としてパルス DT が出るため、1 5 . 6 マイクロ秒の 2 倍の 3 1 . 2 マイクロ秒の周期になる。

【 0 0 2 2 】

次に、T 6 の前に温度がさらに下がり、 $VR2 > TDT$ になると T 6 でコンパレータ 1 3 の出力が LOW になり、ラッチ出力 C 2 HIGH になる。この C 2 の変化で、リセット回路 2 2 の出力 RS によりカウンタがリセットされ、カウンタ出力 C 1 0、C 2 0 は " 1 1 " になる。そこで、T 6 では AND 回路 2 1 の出力 TDT としてパルス DT が出る。そして、ここからは 2 ビットのカウンタ動作が始まるため、TDT が次に DT の HIGH のパルスを出すのは、出力 C 1 0、C 2 0 がともに HIGH なる T 1 0 である。その結果、温度が $VR2 > TDV$ に成る程度に下がると、TDT パルスは 1 5 . 6 マイクロ秒の 4 倍の 6 2 . 4 マイクロ秒の周期になる。

【 0 0 2 3 】

なお、図 3 では、短いタイミング・チャート内でこれらの動作を説明するため、温度が T 3、T 6 で基準レベルを通過した様にしてあるが、実際には温度変化はもっと時間がかかる。リセット回路 2 2 の役目は周期が変わるときには常にカウンタを 1 1 からカウント・アップさせる事にある。そうしないと、タイミン

グによっては一次的に決められた値より長い周期になってしまうからである。例えば、T 6 でなく T 7 でカウンタ 2 0 の C 2 0 が L O W の場合、リセットされないと T 7 で C 1 0、C 2 0 とともに L O W となり、カウンタは” 0 0 ” からカウント・アップして行く。そして、T 1 0 で C 1 0、C 2 0 は” 1 1 ” となるが、T 6 でのパルスが無いので、最初の周期のみ 7 8 マイクロ秒でそれ以後に決められた 6 2 . 4 マイクロ秒になってしまい、不安定動作の原因になる。リセット回路はこの不安定動作を防止している。

【 0 0 2 4 】

本発明のタイミング回路では、電流を消費するアナログ回路（コンパレータ 1 2、1 3）はクロック S S のパルス幅の時間のみオンとなるので、大幅に消費電力を削減出来る。例えば、S S の幅は 1 マイクロ秒位であればアナログ回路（コンパレータ 1 2、1 3）は十分に動作出来、またこの時間はベース・タイマーの 1 5 . 6 マイクロ秒に比べて十分に短く、アナログ回路の平均消費電流は $1 / 1 5 . 6$ になる。さらに温度のサンプリング間隔としては温度変化速度からみてその数倍（例えば 2 - 4 倍）でも十分であり、その様な周期でサンプリングすれば、数十マイクロアンペアも流れるアナログ回路でも平均消費電流は 1 アミクロアンペア以下にすることが出来る。

【 0 0 2 5 】

また、ここでは簡単のため、2 ビットのカウンタで説明したが、ビット数を増やすことにより、基準電圧 V R も細分化できるので、3 ビットで 2、4、8 倍、4 ビットで 2、4、8、1 6 倍の様に容易に周期可変範囲を拡大することができる。さらに、実施例として、カウンタによる周期の倍数変換を用いたが、本発明はそれに限定されるものではなく、温度をサンプリングで計りその結果を直接にラッチ 1 8、1 9 にデジタル量で保存し、それを用いて周期を変える他の方法を用いることもできる。

【 0 0 2 6 】

【発明の効果】

(1) 温度などの物理量検出を予め決められたサンプリング周期でおこなうことができる検出回路を含み、その検出回路は、サンプリング周期で変位するクロッ

クの短いパルス幅に相当する時間だけ動作して検出をおこなうので、検出時の消費電力を大幅に軽減することができる。

(2) 例えば、図 2 の一実施例では、カウンターのビット数を増やすことにより、基準電圧 V_R も細分化できるので、3 ビットで 2、4、8 倍、4 ビットで 2、4、8、16 倍の様に容易に周期可変範囲を拡大することができる。

(3) DRAM のリフレッシュに採用した場合、そのリフレッシュ周期を温度に合わせて最適化できるとともに、リフレッシュにおける消費電力を軽減することができる。

(4) 本発明を電池駆動の携帯端末などに使用した場合、消費電力軽減により電池の実質的ライフの延長に寄与できる。

【図面の簡単な説明】

【図 1】

従来のチップのモニター温度に応じた DRAM のリフレッシュ周期を得るための回路例を示した図である。

【図 2】

本発明のタイミング回路の一実施例を示す図である。

【図 3】

本発明の図 2 のタイミング回路のタイミングチャートを示す図である。

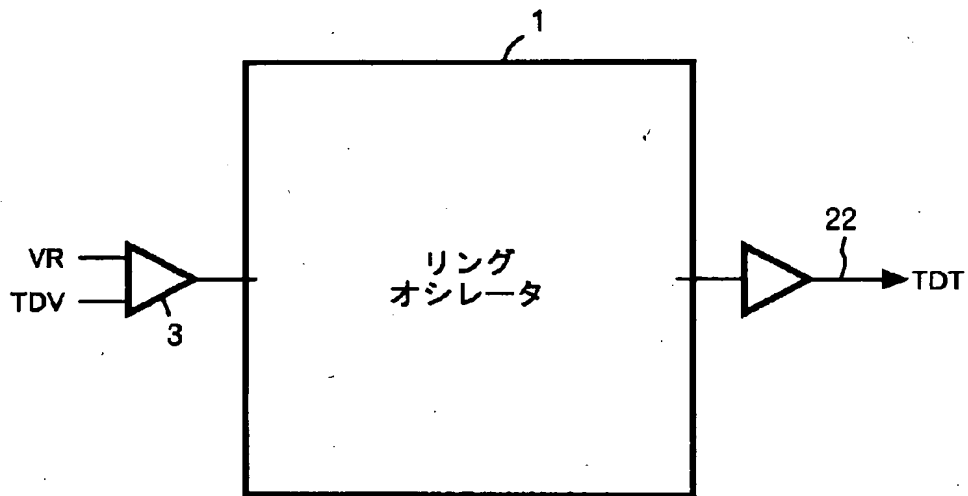
【符号の説明】

- 1 リングオシレータ
- 3 オペアンプ
- 10 タイミング回路
- 11 遅延&シングル・ショット回路
- 12、13 コンパレータ
- 14、15、16、17 NMOS
- 18、19 ラッチ
- 20 カウンタ
- 21 AND 回路
- 22 リセット回路

特 2 0 0 2 - 2 3 9 3 2 1

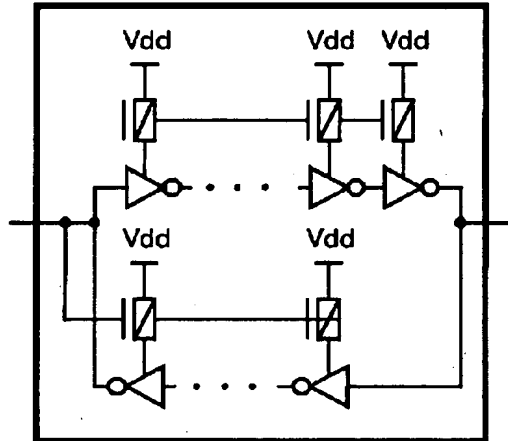
【書類名】 図面

【図 1】



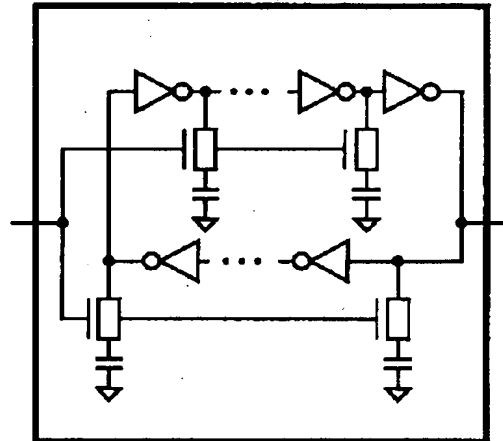
(A)

例 1



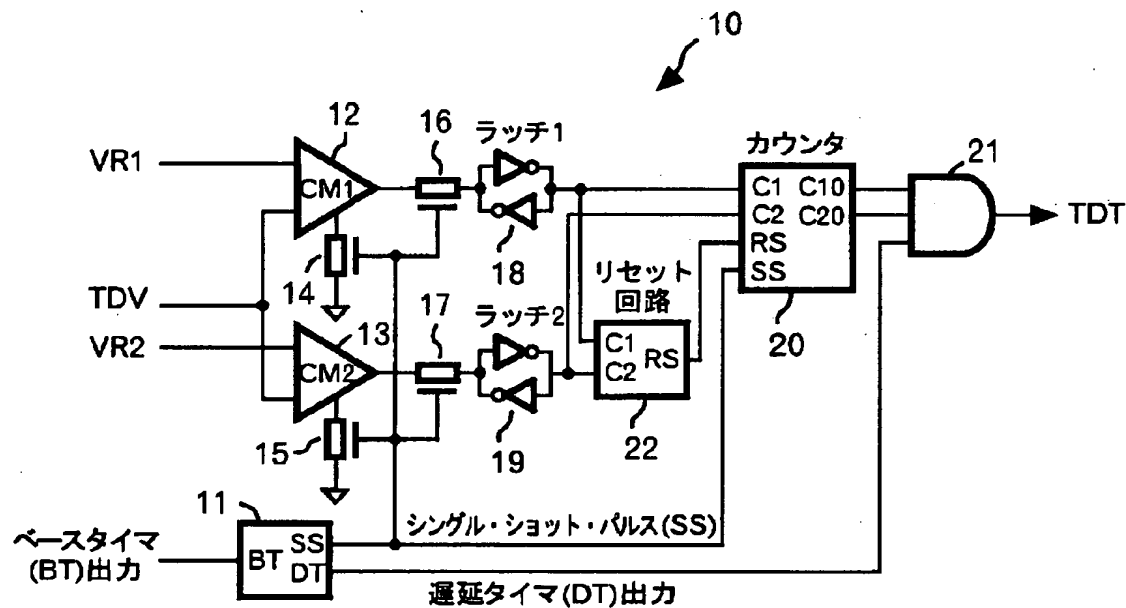
(B)

例 2

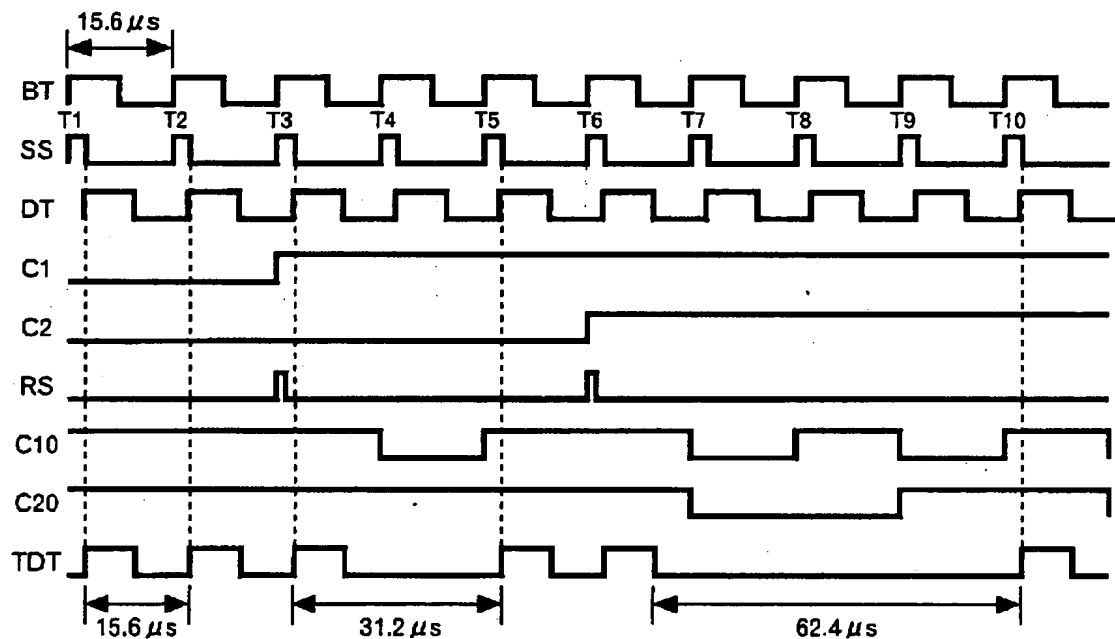


(C)

【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 低消費電力でクロック周期を可変することができるタイミング回路を提供する。

【解決手段】 クロック発生器 1 1 と、入力される制御電圧 T D V と基準電圧 V R を比較するコンパレータ 1 2、1 3 と、コンパレータの出力を保持する保持回路 1 8、1 9 と、保持回路の出力とクロック発生器が出力するクロックから出力となるタイミング・パルス T D T を生成する回路 2 0、2 1、2 2 とを含むタイミング回路であり、コンパレータは、クロック発生器が出力する第一クロック S S を受け取り、その第一クロック S S の短いパルス幅に相当する時間だけ動作することを特徴とするタイミング回路である。

【選択図】 図 2

特2002-239321

認定・付加情報

特許出願の番号	特願2002-239321
受付番号	50201228727
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 8月21日

<認定情報・付加情報>

【提出日】	平成14年 8月20日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 2002年 6月 3日

[変更理由] 住所変更

住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク ニ
ュー オーチャード ロード

氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーショ
ン